

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

16543849

Basic Patent (No,Kind,Date): JP 2000147569 A2 20000526 <No. of Patents:

001>

**DISPLAY DEVICE** (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB

Author (Inventor): TAKEMURA YASUHIKO

IPC: \*G02F-001/1365; G02F-001/133; G02F-001/1343; G09F-009/30

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 2000147569	A2	20000526	JP 99361905	A	19990101 (BASIC)

Priority Data (No,Kind,Date):

JP 99361905 A 19990101

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

06561836    \*\*Image available\*\*

**DISPLAY DEVICE**

PUB. NO.:    2000-147569 [JP 2000147569 A]

PUBLISHED:    May 26, 2000 (20000526)

INVENTOR(s): TAKEMURA YASUHIKO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.:    11-361905 [JP 99361905]

Division of 08-208961 [JP 96208961]

FILED:        October 29, 1991 (19911029)

INTL CLASS:   G02F-001/1365; G02F-001/133; G02F-001/1343; G09F-009/30

**ABSTRACT**

PROBLEM TO BE SOLVED: To obtain a display device having high display characteristics.

SOLUTION: The display device is provided with a 1st signal line, a 1st element having a channel area including crystalline silicon and having a gate connected to the 1st signal line, a 2nd signal line connected to either one of the source and drain of the 1st element, a 2nd electrode having a channel area including crystalline silicon, a voltage supply line connected to either one of the source and drain of the 2nd element, an electrode connected to the other one of the source and drain of the 2nd element, and a drive circuit having a 3rd element having a channel forming area including crystalline silicon so as to drive at least one of the 1st and 2nd elements. In this case, a signal is supplied from the 2nd signal line to the gate of the 2nd element at least through the 1st element.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-147569

(P2000-147569A)

(43) 公開日 平成12年5月26日 (2000. 5. 26)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
G 0 2 F 1/1365		G 0 2 F 1/136	5 0 0
	1/133	5 5 0	
	1/1343		
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8

審査請求 有 請求項の数12 O L (全 10 頁)

(21) 出願番号 特願平11-361905  
(62) 分割の表示 特願平8-208961の分割  
(22) 出願日 平成3年10月29日 (1991. 10. 29)

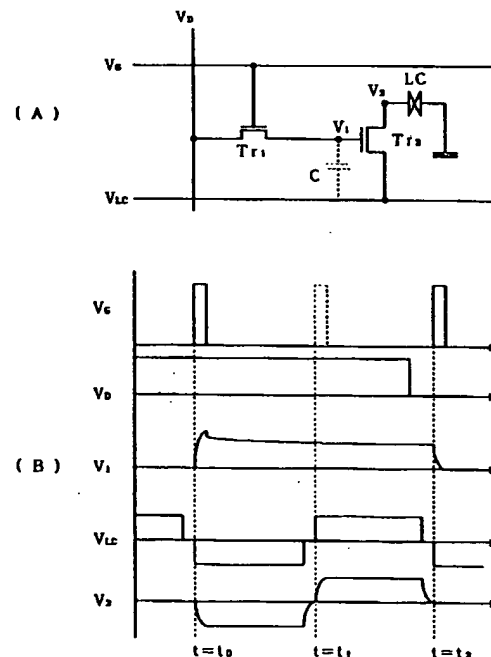
(71) 出願人 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地  
(72) 発明者 竹村 保彦  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 良好な表示特性を有する表示装置を提供すること。

【解決手段】 第1の信号線と、結晶質シリコンを含むチャネル領域を有し、かつ前記第1の信号線に接続されたゲートを有する第1の素子と、前記第1の素子のソースおよびドレインの一方に接続された第2の信号線と、結晶質シリコンを含むチャネル領域を有する第2の素子と、前記第2の素子のソースおよびドレインの一方に接続された電圧供給線と、前記第2の素子の前記ソースおよびドレインの他方に接続された電極と、結晶質シリコンを含むチャネル形成領域を有する第3の素子を有する駆動回路であって、前記第1の素子と前記第2の素子のうちの少なくとも一つを駆動する駆動回路と、を有する表示装置であって、前記第2の信号線から前記第2の素子のゲートへ少なくとも前記第1の素子を通して信号が供給されることを特徴とする表示装置。



## 【特許請求の範囲】

【請求項1】絶縁表面を有する基板と、  
前記基板上に形成された第1の信号線と、  
前記基板上に形成された結晶質シリコンを含むチャンネル領域を有し、かつ前記第1の信号線に接続されたゲートを有する第1の素子と、  
前記基板上に形成され、かつ前記第1の素子のソースおよびドレインの一方に接続された第2の信号線と、  
前記基板上に形成された結晶質シリコンを含むチャンネル領域を有する第2の素子と、  
前記基板上に形成され、かつ前記第2の素子のソースおよびドレインの一方に接続された電圧供給線と、  
前記基板上に形成され、かつ前記第2の素子の前記ソースおよびドレインの他方に接続された電極と、  
前記基板上に形成され、結晶質シリコンを含むチャンネル形成領域を有する第3の素子を有する駆動回路であって、前記第1の素子と前記第2の素子のうちの少なくとも一つを駆動する駆動回路と、を有する表示装置であって、  
前記第2の信号線から前記第2の素子のゲートへ少なくとも前記第1の素子を通して信号が供給されることを特徴とする表示装置。

【請求項2】絶縁表面を有する基板と、  
前記基板上に形成された第1の信号線と、  
前記基板上に形成された結晶質シリコンを含むチャンネル領域を有し、かつ前記第1の信号線に接続されたゲートを有する逆スタガ型の第1の素子と、  
前記基板上に形成され、かつ前記第1の素子のソースおよびドレインの一方に接続された第2の信号線と、  
前記基板上に形成された結晶質シリコンを含むチャンネル領域を有する逆スタガ型の第2の素子と、  
前記基板上に形成され、かつ前記第2の素子のソースおよびドレインの一方に接続された電圧供給線と、  
前記基板上に形成され、かつ前記第2の素子の前記ソースおよびドレインの他方に接続された電極と、  
前記基板上に形成され、結晶質シリコンを含むチャンネル形成領域を有する逆スタガ型の第3の素子を有する駆動回路であって、前記第1の素子と前記第2の素子のうちの少なくとも一つを駆動する駆動回路と、を有する表示装置であって、  
前記第2の信号線から前記第2の素子のゲートへ少なくとも前記第1の素子を通して信号が供給されることを特徴とする表示装置。

【請求項3】絶縁表面を有する基板と、  
前記基板上に形成された第1の信号線と、  
前記基板上に形成された結晶質シリコンを含むチャンネル領域と第一の一对の不純物領域とを有し、かつ前記第1の信号線に接続されたゲートを有する第1の素子と、  
前記基板上に形成され、かつ前記第1の素子の前記第一の一对の不純物領域の一方に接続された第2の信号線

と、  
前記基板上に形成された結晶質シリコンを含むチャンネル領域と第二の一对の不純物領域とを有する第2の素子と、  
前記基板上に形成され、かつ前記第2の素子の前記第二の一对の不純物領域の一方に接続された電圧供給線と、  
前記基板上に形成され、かつ前記第2の素子の前記第二の一对の不純物領域の他方に接続された電極と、  
前記基板上に形成され、結晶質シリコンを含むチャンネル形成領域を有する第3の素子を有する駆動回路であって、前記第1の素子と前記第2の素子のうちの少なくとも一つを駆動する駆動回路と、を有する表示装置であって、  
前記第2の信号線から前記第2の素子のゲートへ少なくとも前記第1の素子を通して信号が供給されることを特徴とする表示装置。

【請求項4】絶縁表面を有する基板と、  
前記基板上に形成された第1の信号線と、  
前記基板上に形成された結晶質シリコンを含むチャンネル領域と第一の一对の不純物領域とを有し、かつ前記第1の信号線に接続されたゲートを有する逆スタガ型の第1の素子と、  
前記基板上に形成され、かつ前記第1の素子の前記第一の一对の不純物領域の一方に接続された第2の信号線と、  
前記基板上に形成された結晶質シリコンを含むチャンネル領域と第二の一对の不純物領域とを有する逆スタガ型の第2の素子と、  
前記基板上に形成され、かつ前記第2の素子の前記第二の一对の不純物領域の一方に接続された電圧供給線と、  
前記基板上に形成され、かつ前記第2の素子の前記第二の一对の不純物領域の他方に接続された電極と、  
前記基板上に形成され、結晶質シリコンを含むチャンネル形成領域を有する逆スタガ型の第3の素子を有する駆動回路であって、前記第1の素子と前記第2の素子のうちの少なくとも一つを駆動する駆動回路と、を有する表示装置であって、  
前記第2の信号線から前記第2の素子のゲートへ少なくとも前記第1の素子を通して信号が供給されることを特徴とする表示装置。

【請求項5】絶縁表面を有する基板と、  
前記基板上に形成された第1の信号線と、  
前記基板上に形成された結晶質シリコンを含むチャンネル領域を有し、かつ前記第1の信号線に接続されたゲートを有する第1の素子と、  
前記基板上に形成され、かつ前記第1の素子のソースおよびドレインの一方に接続された第2の信号線と、  
前記基板上に形成された結晶質シリコンを含むチャンネル領域を有する第2の素子と、  
前記基板上に形成され、かつ前記第2の素子のソースお

よびドレインの一方に接続された電圧供給線と、  
前記基板上に形成され、かつ前記第2の素子の前記ソースおよびドレインの他方に接続された電極と、を有する表示装置であって、  
前記第2の信号線から前記第2の素子のゲートへ少なくとも前記第1の素子を通して信号が供給されることを特徴とする表示装置。

【請求項6】絶縁表面を有する基板と、  
前記基板上に形成された第1の信号線と、  
前記基板上に形成された結晶質シリコンを含むチャンネル領域を有し、かつ前記第1の信号線に接続されたゲートを有する逆スタガ型の第1の素子と、  
前記基板上に形成され、かつ前記第1の素子のソースおよびドレインの一方に接続された第2の信号線と、  
前記基板上に形成された結晶質シリコンを含むチャンネル領域を有する逆スタガ型の第2の素子と、  
前記基板上に形成され、かつ前記第2の素子のソースおよびドレインの一方に接続された電圧供給線と、  
前記基板上に形成され、かつ前記第2の素子のソースおよびドレインの他方に接続された電極と、を有する表示装置であって、  
前記第2の信号線から前記第2の素子のゲートへ少なくとも前記第1の素子を通して信号が供給されることを特徴とする表示装置。

【請求項7】絶縁表面を有する基板と、  
前記基板上に形成された第1の信号線と、  
前記基板上に形成された結晶質シリコンを含むチャンネル領域と第一の一对の不純物領域とを有し、かつ前記第1の信号線に接続されたゲートを有する第1の素子と、  
前記基板上に形成され、かつ前記第1の素子の前記第一の一对の不純物領域の一方に接続された第2の信号線と、  
前記基板上に形成された結晶質シリコンを含むチャンネル領域と第二の一对の不純物領域とを有する第2の素子と、  
前記基板上に形成され、かつ前記第2の素子の前記第二の一对の不純物領域の一方に接続された電圧供給線と、  
前記基板上に形成され、かつ前記第2の素子の前記第二の一对の不純物領域の他方に接続された電極と、を有する表示装置であって、  
前記第2の信号線から前記第2の素子のゲートへ少なくとも前記第1の素子を通して信号が供給されることを特徴とする表示装置。

【請求項8】絶縁表面を有する基板と、  
前記基板上に形成された第1の信号線と、  
前記基板上に形成された結晶質シリコンを含むチャンネル領域と第一の一对の不純物領域とを有し、かつ前記第1の信号線に接続されたゲートを有する逆スタガ型の第1の素子と、  
前記基板上に形成され、かつ前記第1の素子の前記第一

の一对の不純物領域の一方に接続された第2の信号線と、  
前記基板上に形成された結晶質シリコンを含むチャンネル領域と第二の一对の不純物領域とを有する逆スタガ型の第2の素子と、  
前記基板上に形成され、かつ前記第2の素子の前記第二の一对の不純物領域の一方に接続された電圧供給線と、  
前記基板上に形成され、かつ前記第2の素子の前記第二の一对の不純物領域の他方に接続された電極と、を有する表示装置であって、  
前記第2の信号線から前記第2の素子のゲートへ少なくとも前記第1の素子を通して信号が供給されることを特徴とする表示装置。

【請求項9】前記第1の素子、前記第2の素子および前記第3の素子は、いずれも薄膜トランジスタであることを特徴とする請求項1乃至4のいずれか一に記載の表示装置。

【請求項10】前記第1の素子および前記第2の素子は、いずれも薄膜トランジスタであることを特徴とする請求項5乃至8のいずれか一に記載の表示装置。

【請求項11】前記駆動回路は複数の前記第3の素子を有しており、前記複数の第3の素子はCMOS回路を構成している請求項1乃至4のいずれか一に記載の表示装置。

【請求項12】前記結晶質シリコンは、ポリシリコンである請求項1乃至11のいずれか一に記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置もしくは類似の表示装置に関する。本発明は、特にアクティブマトリクス方式の表示装置およびその表示方法ならびにその作製方法に関する。本発明の目的の1つは白黒表示のディスプレイであって、階調表示のような高度な動作や高速動作が要求されないかわりに、見やすさと低価格が要求されるディスプレイに関する。特にこのような機能を備えるディスプレイは、各種のインフォメーションディスプレイのような読出専用の表示装置に使用されるものである。

【0002】

【従来の技術】近年の各種OA機器の小型化、省電力化に伴い、ディスプレイ装置も、従来の陰極線管(CRT)から、液晶ディスプレイ(LCD)やプラズマディスプレイのようなフラットパネルディスプレイ(FPD)に置き換えられつつある。特にLCDは電力消費量が小さいため携帯型の機器に用いられることとなった。

【0003】しかしながら、LCDにはまだ、解決すべき問題が多くある。現在、多く使用されているLCDは単純マトリクス型LCDと呼ばれるもので、液晶材料の名前を取って、STN LCDと称されることがある。STN LCDは作製が簡単であるので、コストが低く、広

く普及している。

【0004】しかし、液晶材料としてのSTNは、その材料本来の特徴である応答速度が極めて遅く、高速で動く物体の表示をおこなった場合には、物体に追従できず、表示できないという問題がある。

【0005】また、動作の方式から、1フレーム（通常は10～30msec）に1つの画素が点灯している時間は、数10μsecから、数msecである。これはマトリクスの行数に反比例し、200行のマトリクスでは、1フレーム30msecとして、約150μsecしか点灯しない。このため、画面のコントラストは低く、また、画面を斜めから見たときに非常に見づらいという欠点を有している。さらに、画面の一部に非常に明るい、あるいは暗い部分があると、その周囲にまで影響がでてしまう現象（クロストーク）が生じる。

【0006】一方、近年では各画素にアクティブ素子を有し、これによって画素のスイッチングをおこなわせるという方式を有するLCDも提案され、市販されている。これらはアクティブマトリクス型LCDと総称されるが、アクティブ素子の種類によって、TFTLCDやMIMLCDと呼ばれる。TFTとは、薄膜トランジスタのことであり、MIMとは、金属/絶縁体/金属という構造を有するダイオードのことである。

【0007】これらのLCDでは、1フレームの間に画素の点灯する時間は、1フレームにほぼ等しいためコントラストが高く、また視野角も広い。しかしながら、技術的な問題からその製造歩留りが低く、コストや販売価格が高く、現在のところ、高級なコンピュータのディスプレイ程度にしか実用化されていない。

【0008】また、現在のLCDの需要は、主として携帯型のコンピュータに使用されている程度であるが、今後は、より広範囲な応用が期待されている。例えば、コードレス電話、携帯電話に付属したディスプレイ、あるいは携帯型の電子辞書等のインフォメーションディスプレイという用途がある。そのような場合には、見やすさと低価格が要求され、さらには省電力も要求される。しかしながら、従来のLCDはその点で満足できるものではなかった。

【0009】例えば、STNLCDはコストが低いのであるが、上記のような問題点から見にくいものであった。また、TFTLCDには、大きく分けてアモルファスシリコンを使用したTFTを用いるTFTLCD（以下、a-SiTFTLCDという）とポリシリコンを使用したTFTを用いるTFTLCD（以下、ポリシリコンTFTLCDという）の2種類があるが、前者も後者も画像の見やすさには問題がないが、コスト的にはSTNLCDには太刀打ちできないものである。

【0010】特にa-SiTFTLCDを小型の読出専用ディスプレイとして使用する場合に、もっともコストを上昇させる要因の1つは駆動回路を内蔵できないた

め、ドライバーICをTAB法等によって接続しなければならず、このICの費用がコストアップの大きな部分を占めるようになる。

【0011】図3には、LCDの画素数（ドット数）と、コストの関係を示してある。この関係は概念的なものであり、半定量的なものである。STNLCDのような単純マトリクス方式では、マトリクスの作製自体は比較的容易であり、小規模マトリクスのコストの大部分はドライバーICによって占められる。すなわち、ドライバーICの数はマトリクスの端子数に比例するのに対し、ドット数は端子数の2乗に比例し、結局、ドライバーICの価格はドット数の平方根に比例し、小規模マトリクスではICの価格によってコストが支配される。図の単純マトリクス：TABにその様子を示す。

【0012】a-SiTFTLCDでは、マトリクスの作製が複雑で自体の歩留りが低く、単純マトリクスに比べて全体的に上方にシフトする。図のa-SiTFT：TABにその様子を示す。a-SiTFTLCDでは小規模マトリクスと大規模マトリクスでその価格に占める要素が異なる。小規模マトリクスではSTNLCDと同様にドライバーICの価格がコストの大きな部分を占める。一方、大規模マトリクスでは、マトリクスの歩留り低下によるコストが大きな要素となる。

【0013】ポリシリコンTFTLCDでは、ドライバーICは、ポリシリコンによってマトリクス作製と同時に作製できるのでICを装着する必要はなく、したがって、ドライバーICはコストの要因には入らない。特にドライバーICの装着は技術的にも問題があり、小型化を思考する目的は本来適さないものである。したがって、ポリシリコンTFTLCDは、小型化が可能であることも特徴とする。しかしながら、ポリシリコンTFTLCDはa-SiTFTLCD以上にマトリクス自体の作製が難しく、ドット数が増加するにしたがって、コストは著しく増加する。しかしながら、小規模マトリクスではドライバーICのコスト要因がないため、図の完全ポリシリコンTFTにその様子を示すように、a-SiTFTLCDと競合できるコストとなっている。

【0014】さて、a-SiTFTLCDでも、ドライバーをa-Siで構成できれば図の点線（完全a-SiTFT）に示すように、STNLCDとの競合ができる。しかしながら、従来のTFTLCD方式ではそれは不可能であった。すなわち、例えば、160×100の比較的小規模なマトリクスを考えた場合に、通常の動作ではフレーム周波数が30Hzであるので、特にデータ線のドライバーには、480kHzの信号が入力される。しかしながら、a-SiTFTでは、このような高速動作に追従できない。同様なことは、カドミウム・セレンウム（CdSe）系の半導体等の化合物半導体においてもなりたつ。これらの半導体材料がアクティブ素子として積極的に用いられない背景には、その毒性や資源的な問

題もあるが、その応答速度が低いということも重大な問題となっている。

【0015】この困難を避けるにはフレーム周波数を低下させればよい。特に、動画を表示する必要のない場合にはフレーム周波数の低下は何ら問題がないように思えるのであるが、現在のTFTLCDの技術的な問題から、フレーム走査の様子が目に見え、画面が極めて見にくくなる。

【0016】従来の液晶材料としてTN液晶を用いたTFTLCDの画素回路とその動作例を図2に示す。TFTのゲイト電極は選択線（ゲイト線ともいう）に、また、ドレインはデータ線（ドレイン線ともいう）に接続され、ソースは画素電極に接続されている。そして、画素電極の対向電極は共通電極として通常は一定の電圧に保たれている。一般には接地されている。

【0017】図2（B）に示すように、選択線には、周期的にパルスを印加し、また、データ線には画素の情報を電圧信号として印加する。選択線のパルスの周期は、通常の動作では1フレームの周期であり、典型的には10～30msecである。また、パルスの幅は、周期をマトリクスの行数で割ったもの程度、もしくはそれ以下であり、例えばインフォメーションディスプレイ等に使用されるような比較的小型の100行のマトリクスでは100～300μsecである。

【0018】また、データ線の信号は、画素を点灯状態するときには電圧状態とし、消灯状態とするときは非電圧状態とする。また、電圧状態の極性は周期的に入れ換えられる。これは、TN液晶材料に長時間にわたって、直流をかけた場合には、電気分解を起して劣化してしまうからである。この動作を交流化という。

【0019】さて、このような信号の印加されたTFTのソース側の信号はV<sub>s</sub>に示すようになる。最初に選択線のパルスの印加によって、TFTはON状態となつて、ソースの電圧はドレインの電圧と同じになろうと上昇する。しかし、パルスが切れると同時に、TFTのゲイト電極とソース領域の間の寄生容量のためにΔVだけ電圧の効果がある。その後は、TFTはOFF状態になるので、画素電極は電気的に浮いた状態となり、TFTのリーク電流によって次第に電圧は低下する。

【0020】次に、再び、選択線にパルスが印加され、TFTがON状態となるとソースの電圧は、今度は負のドレイン電圧に近づく。その後、パルスが切れるとともに、やはり寄生容量の影響でΔVだけ電圧が負にシフトし、リーク電流によって電圧は減衰する。最後の選択線のパルスが印加されたときにはドレインの電圧は0であるので、画素電極に蓄えられていた電荷が放出され、V<sub>s</sub>は0となる。

【0021】もし、フレーム周波数を低下させると、このような電圧の変動がフレーム周波数で目に見えるようになる。フレーム周波数の低下は10Hzが限度であ

る。

【0022】もう1つの解決方法は、ドライバーICだけをポリシリコンで作製しようとするものであるが、ガラス基板の種類を限定しないためには、通常行われるような高温でのアニールができないため、レーザーアニール等の高度な技術を採用しなければならない。しかしながら、レーザーアニールはまだ、その技術が確立していない上、量産性に劣る方法である。

【0023】

10 【発明が解決しようとする課題】本発明は、特に動画を表示する必要のない表示装置において、コストの面で単純マトリクス方式に対抗でき、アクティブマトリクス方式と同等な画質を実現できる新しいアクティブマトリクス方式と、その表示装置を提供するものである。

【0024】特に本発明は、画素マトリクスと周辺のパライバ回路をa-SiTFTあるいはそれと同様な比較的低温で作製できるTFTで同時に形成することによってドライバーICを不要とし、歩留りの向上と低コスト化を実現せんとするものである。

20 【0025】

【問題を解決するための手段】先に述べたように、特に動画を表示する必要のないディスプレイにおいてはフレーム周波数を低下させることはa-SiTFTあるいはCdSe系半導体様な低移動度半導体を用いたTFTをドライバー回路に使用するうえで重要な方法である。しかしながら、フレーム周波数の低下によってちらつきのような目に見える画質の劣化を引き起こすことがあってはならない。

30 【0026】ところで、従来の考えでは、フレーム周波数には、交流化の周波数という意味と書換えの周波数という意味が重なっていた。仮にその両者が分離されていたとしても、書換え周波数は交流化の周波数よりも大きいのが当然であった。ここで、本文で使用する書換えという言葉について注意しておく。本文では、書換えは表示内容の変化だけを意味するのではなく、表示内容は同じであっても、あらたに外部から信号が注入されること、あるいはその機会があることを意味する。したがって、従来のTFTLCDにおいて、あるフレームで点灯状態であった画素が、次のフレームでも点灯状態を維持することも、そのために選択線にパルスが印加されると同時にデータ線に信号が送られるので、書き換えられたと表現することとする。

40 【0027】さて、書換えの周波数は視覚的な問題から10Hz以下とすることはできないことは先に述べた。本発明では、交流化と書換えを明確に区別し、両者を独立に制御することによって、先のような問題点を解決しようとするのである。これらの要素が分離された場合には、視覚に影響を及ぼすのは交流化周波数であって、書換えの周波数ではないことは明らかであろう。例えば、セグメント方式のLCDでは、実質的に書換えという動

作は交流化の動作とは全く別のものである。実際、電卓のLCDの書換えの周波数は極めて遅い。しかしながら、交流化の周波数は30Hz程度である。電池の消耗等によってLCDの表示がちらつくのは、交流化周波数の低下によるものであって、書換えの周期が落ちたからではない。

【0028】本発明においても、ちらつきを防止するためには交流化の周波数は10Hz以上としなければならない。しかしながら、書換えの周波数は1Hzあるいはそれ以下とすることを必要とする。

【0029】例えば、書換えを1Hzとすれば、160×100ドットのLCDのデータ線のドライバーに送られる信号は、従来の30分の1の16kHzであり、a-SiTFTでも十分に駆動可能な速度である。

【0030】さて、このような目的を達成するためには、従来のようなTFTLCD方式は極めて不適切なものである。従来のTFTLCDでは、1つのTFTに、画素の選択と、画素への電圧の供給という2つの役割を担わせていたからである。したがって、本発明ではこの2つの役割をそれぞれのアクティブ素子に分離して担わせる。ここでは、画素の選択をおこなう素子を第1素子、第1素子の出力を受けて画素への電圧の供給をおこなう素子を第2素子とする。

【0031】これらの素子は、TFTや各種ダイオードのようなアクティブ素子、あるいはそれらと抵抗、コンデンサーのような受動素子によって構成される。これらの作製に際しては、a-Siもしくはそれと同等な条件で作製されるものが望まれ、600℃以上の高温プロセスの採用は避けられる。

【0032】もっとも単純には、図1(A)に示すように2つのTFTを、それぞれ第1素子( $T_{r1}$ )、第2素子( $T_{r2}$ )としたものである。本発明では画素の書換えにかかわらず、交流化をおこなうという意味で従来のTFTLCD方式にはない、電圧供給線をもうける必要がある。各配線との接続に関しては、図に示すように $T_{r1}$ のドレインをデータ線に、ゲート電極を選択線に接続し、ソースは $T_{r2}$ のゲート電極に接続する。また、 $T_{r2}$ のドレインは電圧供給線に、ソースは画素電極にそれぞれ接続する。

【0033】この例についての動作を、図1(B)を参考に以下に記す。ここでは、簡単のために、交流化が2回おこなわれる間に、書換えが1回おこなわれるものとする。もちろん、交流化が10回おこなわれる間に書換えが1回おこなわれる場合や、交流化が30回おこなわれる間に書換えが1回おこなわれる場合も同様に拡張して考えられる。

【0034】この例では、最初、消灯状態であった画素が、点灯されて、つぎの書換えの際に再び、消灯されるものとする。選択線 $V_s$ には、従来のようにパルスが規則的に印加される。一方、データ線にも必要な信号が印

加される。データ線に印加される信号は正と負の2値、あるいは電圧状態と非電圧状態の2値とする。ここでは $T_{r1}$ も $T_{r2}$ もNMOSであるとする。また、画素の対向電極の電位を0とする。

【0035】最初に選択線にパルスが印加されたときには、データ線の信号が正であったので、 $T_{r1}$ のソース側の電位 $V_s$ は、正の値となり、従来のTFTLCDの場合と同様に電圧が増大して、パルスの終了によって下落し、以後、自然に放電する。この放電に要する時間は、 $T_{r1}$ のOFF抵抗と、 $T_{r2}$ のゲート電極とチャネル間の容量 $C$ によって決定される。例えば、a-SiTFTでは、OFF抵抗として $10^{11}\Omega$ 程度であり、また、 $C$ としては $10^{-11}F$ 程度であるので、減衰定数は1秒程度である。すなわち1秒経過後に電圧は約40%になっている。より $C$ を大きくすることによって、この時間を延ばすことも可能である。

【0036】さて、一方、電圧供給線には選択線のパルスに同期した信号が送られるが、この電圧供給線は画素駆動の交流化という目的から、図に示すように交流パルスが送られる。ここでは、選択パルス1回につき、電圧供給線の信号極性は、正と負に2回変化する。もちろん、選択パルス1回について、より多く極性を変化させても構わない。

【0037】 $T_{r2}$ のゲート電極には既に正の電圧がかかっているため、 $T_{r2}$ はON状態であり、電圧供給線の電圧がそのまま画素電極に印加され、画素電極の電圧 $V_p$ は、図1(B)に示すように最初、負の値をとり、その後、電圧供給線の電圧が反転するにしたがって、正の値をとる。本発明の特徴とも言えることであるが、このような2段階の動作によって、画素には、電圧供給線の電圧と実質的に同じ電圧が供給され、しかも、これは従来のように自然放電によって減少することはない。したがって、明確に白黒が判別される。

【0038】次に、再び、選択線にパルスが印加される。このときにはデータ線の電圧は0であるので、 $C$ に蓄えられていた電荷は放電し、 $V_s$ は0となる。これによって、 $T_{r1}$ もOFF状態となり、画素への電圧の供給はストップする。

【0039】従来であれば、交流化の周期は書換えの周期と同じかもしくは長かったために、選択線に点線で示すようなパルスを印加しなかった。しかしながら、本発明によって、そのパルスは不要となり、動作信号は2分の1となる。

【0040】本発明の効果をさらに考えてみれば、例えば、図1と同様な手法によって、1秒に1回書換えをすれば、これは従来の速度の30分の1である。ということは、選択線に印加されるパルスもデータ線の信号も30倍長くできる。例えば、選択線のパルスであれば、従来は200行のマトリクスでは $100\mu sec$ 程度であったが、本発明ではその30倍の3msecとで



きる。このことは、TFTの動作が遅くとも、確実に応答して必要な電圧を充電・供給できることを意味している。従来では、a-SiTFTの動作が困難な短時間での応答であったので、各TFTの特性のばらつきによって、充電の十分な画素とそうでない画素が生じ、画質の悪化につながった。

【0041】本発明では、すでに2段のTFTの動作によって、半アナログ的な電圧が画素に印加されることはないが、さらに、このような特徴によって、TFTの不良を減らし、歩留りの向上に寄与する。

【0042】この説明ではTFTとしては、a-SiTFTを用いることが望ましい。そして、どちらにもNMOSのa-SiTFTを用いてもよいが、 $T_{r1}$ にはエンハンスメント型のTFTを、 $T_{r2}$ にはデプレッション型のTFTを用いてもよい。a-SiTFTを用いるにあたっては、PMOSは動作速度が著しく遅いので目的に適さない。しかしながら、アモルファスシリコンとポリシリコンの中間的な状態のシリコン半導体ではホールの移動度もかなり大きいので、PMOSが使用できる。その場合には周辺回路もCMOSとすることができ

る。【0043】本発明の装置の全体的な構成の例を図4に示す。このLCDのドット数は、例えば $320 \times 480$ （通常のラップトップ型コンピュータの画面の半分）とする。しかしながら、画面は大きくは上下左右に4分割され、それぞれ、LCDマトリクス（406）の横に配置された4つの選択線および電圧供給線のドライバー（401）によって駆動される。さらに、4つに分割された画面はそれぞれさらに半分に分割され、上下に設けられたデータ線のドライバー（402）によって駆動される。各ドライバーは、ワイヤボンディング端子（403）から、ワイヤボンディング法によって接続された配線（405）によって外部の回路と接続される。

【0044】例えば、左下の画面に注目すれば、ここにある画素は全体の8分の1の、9600である。もし、1秒間に1回だけ書き換えるという動作をおこなうのであれば、データ線のドライバー402に配線405から送られる信号の周波数は、9.6kHzである。また、選択線および電圧供給線に送られる信号は、電圧供給線には最低でも1つの行について30Hzの信号が送られる必要があり、行数は240行の半分の120行（他の120行は反対側のドライバーが受け持つ）なので、3.6kHzの信号が送られる。いずれも、周波数としては極めて小さいものであって、ドライバーをa-SiTFTで構成したとしてもほとんど問題とならない。

【0045】さらに、このようにドライバー回路をマトリクスと同時に形成した場合には、そのための歩留りの低下はほとんど無視できる。本発明では $T_{r1}$ のゲイト電極とチャンネル間の容量Cが特に問題となる。先に述べたように、 $V_1$ の電位を維持するにあたって、 $T_{r1}$

のOFF抵抗とCがそのパラメータとなる。TFTのOFF抵抗はチャンネルの厚さや幅を変更することによってある程度可変である。しかし、 $10^{11} \Omega$ 以上の高抵抗を達成することは難しい。一方、Cは、 $T_{r1}$ のゲイト電極のサイズによって決定される。例えば、 $10 \times 100 \mu\text{m}^2$ のゲイト電極で、絶縁膜の厚さが100nmであれば、Cは $10^{-11} \sim 10^{-12}$ Fである。絶縁膜として誘電率の高い窒化珪素を用いればCは大きくなる。

【0046】 $T_{r1}$ のゲイト電極に $10 \times 100 \mu\text{m}^2$ の面積を使用することは開口率の低下につながり望ましくない。実際、これ以上、大きな面積をTFTのために割くことは賢明ではない。そこで、この矛盾を解決するには、電圧供給線に、 $T_{r1}$ のソース電極・配線を重ねるとよい。このようにすると、開口率を落とさずに大きな容量を得ることができる。その際には、層間絶縁物に誘電率の大きな材料を使用することも方法の1つである。

【0047】このように、 $T_{r1}$ に大きなCを接続するので、 $T_{r1}$ のON/OFFの動作速度の低下を懸念する人がいるかもしれない。しかしながら、本発明では、各データ線の信号も選択線のパルスの従来よりかなり長く、例えば、30倍の長い間持続する。一方、従来のTFTLCDでは、負荷である画素電極の容量は $10^{-11}$ F程度であった。本発明の場合には、従来と同程度もしくは1桁程度大きな負荷容量が要求されるが、応答速度が10分の1以下に低下しているの、全く問題はないばかりか、従来よりも余裕をもって応答・動作することができる場合もある。

【0048】本発明によって、表示の書換え（維持も含む）をおこなう場合には、交流化のタイミングにあわせて適当な行数ごとにおこなう方法がある。例えば図5に示すような方法である。例えば、100行のマトリクスとしよう。そして、第1行と第21行と第41行と第61行と第81行の5つの行の電圧供給線は同期して同じ信号を印加されるものとする。同様に、第2行と第22行と第42行と第62行と第82行の5つの行、および他の行もそれぞれ組を作り、それぞれ同期して動作するものとする。

【0049】最初の交流化のとき（図5（A））には、第1行から第20行までの画素の書換えが行われるものとしよう。このとき、第1行の画素には選択線にパルスと電圧供給線には正の電圧が印加される。一方、第21行やその他の第1行に同期して動く他の画素についても電圧供給線には電圧が印加されるが、選択線にはパルスは印加されない。したがって、このときには5つの組となって動作する行のうち、第1行しか書換えはおこなわれない。他の組についても同様で、結局、このときには第1行から第20行までだけが書換えられる。

【0050】次に、第21行には選択線にパルスと同時に電圧供給線には負の電圧が印加されたとしよう。しか

し、このときには同期して動作する第1行やその他の行には選択線にパルスは印加されない。電圧供給線には第21行と同様に電圧が印加される。他の行の組についても同様で、図5(B)に示すように、第21行から第40行までだけが書き換えられる。

【0051】以後、同様な操作を繰り返す。図5(C)では第41行から第60行までが書き換えられるが、このときには電圧供給線には正の電圧が印加される。図5(D)では第61行から第80行までが書き換えられるが、このときには電圧供給線には負の電圧が印加され、図5(E)では第81行から第100行までが書き換えられるが、このときには電圧供給線には正の電圧が印加される。

【0052】このようにして、図5(F)では、再び第1行から第20行までが書き換えられることとなる。このとき、電圧供給線に印加される電圧は負である。図5(A)から(E)までの間に、各画素は1回書き換えられたのであるが、画素の電圧は正、負、正、負、正というように5回変化している。このことこそ、まさに本発明の特徴となるべきことである。すなわち、交流化の周期よりも書き換えの周期の方が長い。特に本発明ではこの周期の比率を30倍やそれ以上とすることによってドライバ回路の負担を著しく減少させるのである。

【0053】さて、本発明では、LCD駆動のための電力も削減できる。従来のTFTLCDあるいはSTNLCDCでは、各データ線に出力される信号の周波数は、(行数×30)Hzであった。しかし、本発明では、例えば書き換えを1秒間に1回だけおこなうとすると(行数×1)Hzである。

【0054】一方、従来のLCDでは各選択線に出力される信号の周波数は30Hzであるのに対し、本発明では1Hzである。しかしながら、本発明では電圧供給線に30Hzの信号が出力されるので、この点では、従来とはほとんど互角である。

【0055】結局、データ線の信号を減らすことによる消費電力の低減が計れる。また、従来のSTNLCDCでは、ダイナミックモードでの動作であるので画面を見やすくするためにバックライトによって画面を照らし出す必要があったが、本発明ではスタティックモードでの動作であるので、バックライトがなくとも良好な視認性を得ることができる。

【0056】本発明を実施せんとすれば、公知の薄膜半導体作製技術を援用すればよい。その詳細についてはいちいち述べないが、以下に実施例を示し、説明する。

【0057】

【実施例】図6に本発明を実施する為の画素の駆動回路例およびその作製方法を示す。これは画素の回路を上から見たときの様子を示している。本実施例の回路は3重金属配線の逆スタガー型2重TFTを有している。このような回路を作製するには以下のようにすればよい。

【0058】まず、適当な基板上にアルミニウム等の金属材料でできた選択線(T<sub>r</sub>、のゲイト電極・配線となる)601をパターンニングする(マスク1)。このとき、選択線の表面に陽極酸化法等の方法によって、絶縁性のよい金属酸化物膜を形成しておく、後のプロセスで不良が発生する確率が小さくなる。そして、ゲイト絶縁膜および層間絶縁物として機能する第1絶縁物層を成膜する。次に、CVD法等によってアモルファスシリコンあるいはポリシリコン膜を形成し、それをパターンニングする(マスク2)。次に、マスク1を用いて、窒化珪素膜等のエッチングストッパーを選択線に重なるように形成する。あるいは、基板の裏面から光を照射して、セルフアライン的にこのエッチングストッパーを、選択線に重なるようにパターンニングしてもよい。

【0059】次に、不純物ドーパされた半導体膜を形成・パターンニングする(マスク3)。このようにして、第1のTFTの半導体領域602を作製する。図6(A)にその様子を示す。

【0060】次に、データ線603を金属材料で形成する。データ線は第1のTFTのソースに接続するように形成される(マスク4)。また、同時に同じ材料で第1のTFTのドレイン電極から延びる配線604を形成する。このとき、この金属配線604がこのような複雑な計上を呈しているのは、後に電圧供給線と重なるようにするためである。その様子を図6(B)に示す。

【0061】さらに、第1のTFTを作製した場合と同じように、第2の絶縁膜(第2のTFTのゲイト絶縁膜となる)を形成し、第2のTFTの活性化半導体膜をパターンニングし(マスク5)、次に、マスク4を用いて、エッチングストッパーを形成し、不純物ドーパされた半導体膜を形成・パターンニングする(マスク6)。このようにして第2のTFTの半導体領域605を形成する。さらに、金属材料で電圧供給線606を形成し(マスク7)、第2のTFTのドレインとコンタクトを形成する。このようにして、図6(C)に示されるような回路を得る。最後に、図6(D)に示すように、透明導電膜607をパターンニングして(マスク8)回路が完成する。

【0062】以上の工程では、全部で8枚のマスクを必要とし、また、マスクプロセスは10回必要である。マスクプロセスを積極的に減らす為にはセルフアラインプロセスの導入が望ましい。また、エッチングストッパーを用いないでTFTを形成する為には、最初にソース、ドレイン領域となる不純物半導体をパターンニングして形成し、その後、活性化半導体膜を形成してもよい。

【0063】この回路では、電圧供給線と第2のTFTのゲイト電極配線は意図的に重なるように設計されている。これは、この両者の容量(図1(A)のCに相当)を大きくして、第2のTFTのゲイト電極に蓄積されている電荷の保持時間を長くし、書き換えの回数を減らすこ

とを意図したからである。

【0064】

【発明の効果】本発明によって、見やすさに関してはTFTLCD等のアクティブマトリクス方式と同等であり、かつ、価格的にはSTN LCD方式に対抗できるLCDを提供することができる。

【0065】本発明の目的は、動画を表示する必要のない表示装置に用いるLCDを提供することにある。例えば、電気機器の付属品として、機器の操作の方法や機器の動作状態を表示する用途に使用するもの等である。従来、このような用途は極めて限られており、マーケットは小さかった。従来は読出専用ディスプレイには、セグメント方式のLCDやSETN LCDが用いられた。

【0066】しかしながら、セグメント方式では表示容量に限りがあった。また、STN LCDではドライバーICを装着する必要があった。現在、このようなICを実装する技術としてはTAB方式が一般に用いられているが、画素が小さくなることによって、TAB方式を採用することは技術的に難しくなる。一般に、画素の一边が100  $\mu\text{m}$ 以下となるとTAB方式は使用できない。

【0067】本発明ではドライバーICも一体化して形成されるためこのような問題はない。しかしながら、従来のa-SiTFTLCDでは、その動作方法の困難から、ドライバーICをa-SiTFTで構成することは困難であった。本発明はこの点を見事に解決した。

【0068】本発明によって、読出専用LCDの全く新しい用途が期待される。例えば、本発明では外付けのICを必要としないため、極めて小型化が可能である。したがって、カード型の表示装置に使用できる。例えば、\*

\*カード型のポケットベルや各種クレジットカードの表示装置等に使用できる。このような用途は期待されることはあっても、適切な表示装置、LCDがなかったため実用できなかったものである。現在はこのような目的の市場規模は小さいが、莫大な潜在需要があるものと期待され、大きなマーケットに成長することが期待される。

【0069】本発明では、TFTの材料としては600  $^{\circ}\text{C}$ 以下の低温で作製される材料を用いることが望ましい。実施例ではa-SiTFTを取り上げたが、CdSやCdSe等の化合物半導体であっても特に問題はない。

【図面の簡単な説明】

【図1】本発明のTFTLCDの画素の回路例とその動作例を示す。

【図2】従来のTFTLCDの画素の回路例とその動作例を示す。

【図3】各種LCDの画素数とコストの関係の概略を示す。

【図4】本発明のTFTLCDのパネルの構成例を示す。

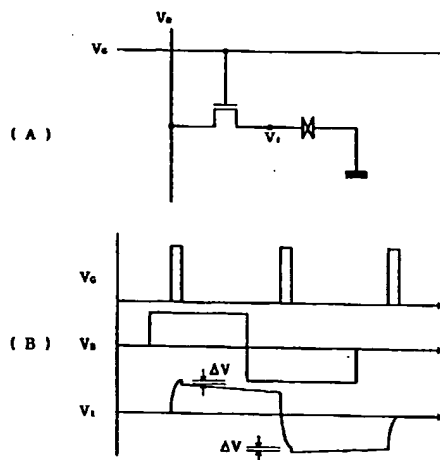
【図5】本発明のTFTLCDの表示方法の例を示す。

【図6】本発明のTFTLCDの画素の回路例およびその作製方法の例を示す。

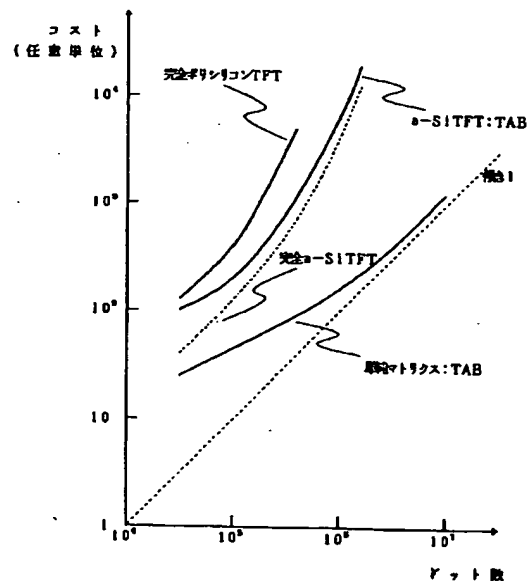
【符号の説明】

- 401・・・選択線・電圧供給線ドライバー回路
- 402・・・データ線ドライバー回路
- 403・・・ボンディングパッド
- 405・・・ボンディングワイヤー
- 406・・・マトリクス領域

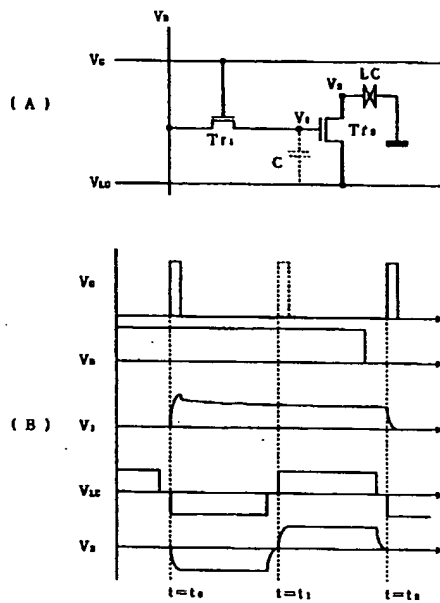
【図2】



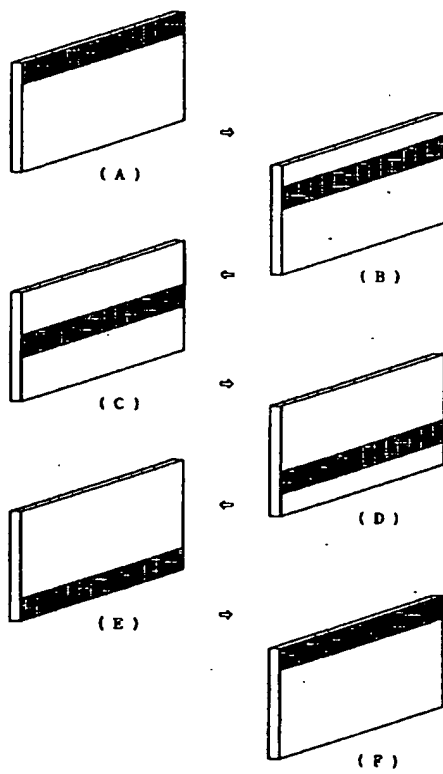
【図3】



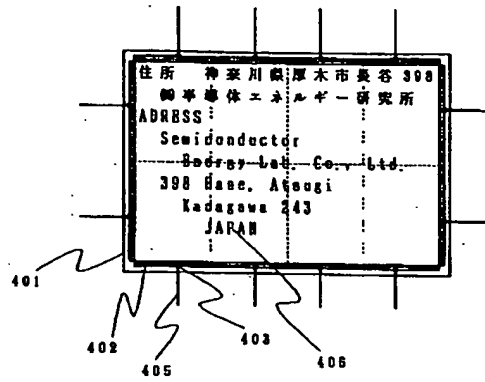
【図1】



【図5】



【図4】



【図6】

